

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

**THIS PAGE BLANK (USPTO)**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10062493 A**(43) Date of publication of application: **06 . 03 . 98**

(51) Int. Cl.

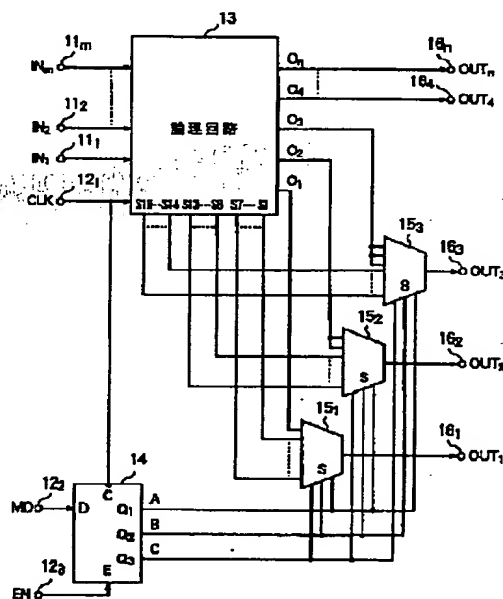
**G01R 31/28**  
**G01R 31/317**  
**H01L 27/04**  
**H01L 21/822**  
**H03K 19/00**

(21) Application number: **08217094**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **19 . 08 . 96**(72) Inventor: **IIZUKA TOMOYUKI**(54) **INTEGRATED CIRCUIT**(57) **Abstract:**

**PROBLEM TO BE SOLVED:** To eliminate the problem of I/O terminals in the functional test of an integrated circuit.

**SOLUTION:** Output data signals O1, O2, and O3 of a logic circuit 13 are connected to the input sides of selectors 15<sub>1</sub>, 15<sub>2</sub>, and 15<sub>3</sub>, respectively. Verification signals S1, S2,..., S18 in the functional test of the logic circuit 13 are similarly connected to the input sides of the selectors 15<sub>1</sub>...., 15<sub>3</sub>. When an enable signal EN as well as a mode selection signal MD are fed to a shift register 14, the mode selection signal MD is shifted and retained in synchronization with a clock signal CLK and a mode control signal is fed to a control terminal S of the selectors 15<sub>1</sub>...., 15<sub>3</sub>. The selectors 15<sub>1</sub>...., 15<sub>3</sub> selects the output data signals O1, O2, and O3 or the verification signals S1, S2,..., S18 based on the mode control signal and output them to output terminals 16<sub>1</sub>, 16<sub>2</sub>, and 16<sub>3</sub>.

COPYRIGHT: (C)1998,JPO



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-62493

(2)

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R	31/28		G 0 1 R 31/28	V
	31/317		H 0 3 K 19/00	B
H 0 1 L	27/04		G 0 1 R 31/28	A
	21/822		H 0 1 L 27/04	T
H 0 3 K	19/00			

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平8-217094

(22) 出願日 平成8年(1996) 8月19日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 飯塚 知行

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

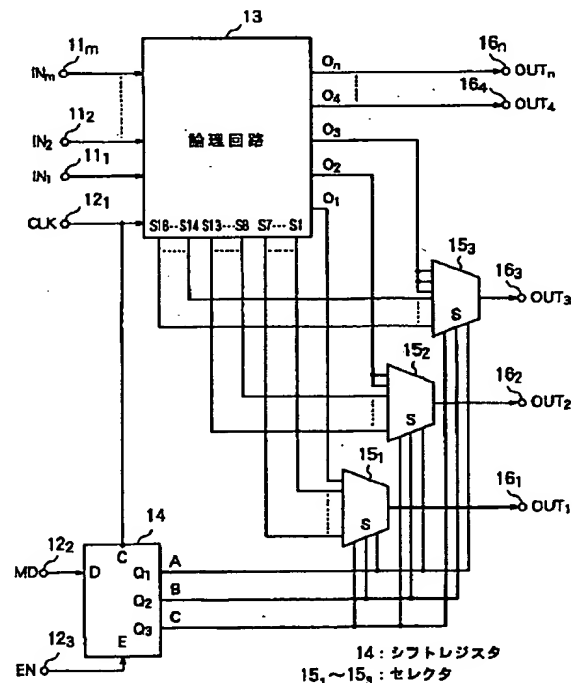
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 集積回路

(57) 【要約】

【課題】 集積回路の機能試験における入出力端子ネットワークを解消する。

【解決手段】 論理回路13の出力データ信号O1, O2, O3は、それぞれセクタ15<sub>1</sub>, 15<sub>2</sub>, 15<sub>3</sub>の入力側に接続される。論理回路13の機能試験における検証信号S1, S2, ..., S18は、同様にセクタ15<sub>1</sub>~15<sub>3</sub>の入力側に接続される。シフトレジスタ14にイネーブル信号ENとともにモード選択信号MDが与えられると、クロック信号LCKに同期してモード選択信号MDがシフトされて保持され、モード制御信号がセクタ15<sub>1</sub>~15<sub>3</sub>の制御端子Sに与えられる。各セクタ15<sub>1</sub>~15<sub>3</sub>は、モード制御信号に基づいて出力データ信号O1, O2, O3または検証信号S1, S2, ..., S18を選択して、出力端子16<sub>1</sub>, 16<sub>2</sub>, 16<sub>3</sub>に出力する。



本発明の実施形態のLSI

## 【特許請求の範囲】

【請求項1】 複数ビットのデータ信号が入力される複数の入力端子と、

複数ビットのデータ信号を出力するM個の出力端子と、制御信号が入力される制御端子と、

通常動作モードと複数の動作検証モードとの内のいずれか1つのモードを選択するための複数ビットのモード選択信号が直列に入力されるモード端子と、

前記入力端子から入力されるデータ信号の論理処理を行う複数の論理ゲートを有し、処理結果の複数ビットの出力データ信号を出力するとともに、該論理ゲートにおける動作検証用の複数の検証信号を出力する論理回路と、前記制御端子から入力される制御信号に従って前記モード端子から入力されるモード選択信号を並列信号に変換し、モード制御信号として出力する直並列変換手段と、前記論理回路の出力データ信号中の特定の出力データ信号と、前記動作検証モードに対応した前記検証信号とが与えられ、前記モード制御信号に基づいて、前記通常動作モード時には該特定の出力データ信号を選択して前記出力端子に出力し、前記複数の動作検証モード時には該動作検証モードに応じた出力データ信号または検証信号を選択して該出力端子に出力するN個（但し、 $N \leq M$ ）の選択手段とを、

半導体基板上に設けたことを特徴とする集積回路。

【請求項2】 複数ビットのデータ信号が入力される複数の入力端子と、

複数ビットのデータ信号を出力するM個の出力端子と、特定のビットパターンを有するヘッダ部、及び通常動作モードと複数の動作検証モードとの内のいずれか1つのモードを選択するための複数ビットのモード選択部で構成されるモード選択信号が順次直列に入力されるモード端子と、

前記入力端子から入力されるデータ信号の論理処理を行う複数の論理ゲートを有し、処理結果の複数ビットの出力データ信号を出力するとともに、該論理ゲートにおける動作検証用の複数の検証信号を出力する論理回路と、前記モード端子から入力されるモード選択信号のヘッダ部を検出して検出信号を出力するヘッダ検出部、該検出信号に基づいてラッチ信号を生成するラッチ信号生成部、及び該ラッチ信号に基づいて該モード選択信号のモード選択部を保持してモード制御信号として出力するデータ保持部を有する直並列変換手段と、

前記論理回路の出力データ信号中の特定の出力データ信号と、前記動作検証モードに対応した前記検証信号とがそれぞれ与えられ、前記モード制御信号に基づいて、前記通常動作モード時には該特定の出力データ信号を選択して前記出力端子に出力し、前記複数の動作検証モード時には該動作検証モードに応じた出力データ信号または検証信号を選択して該出力端子に出力するN個（但し、 $N \leq M$ ）の選択手段とを、

半導体基板上に設けたことを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路（Integrated Circuit、以下「IC」という）、特に内部の論理ゲートの機能検証用の信号を出力するテスト機能を有するICに関するものである。

【0002】

【従来の技術】ICは、半導体基板上に複数の論理ゲートを集積して形成した回路である。ICは、製造された時点で設計された論理機能を有しているか否かの機能試験を行う必要がある。この機能試験では、ICの複数の入力端子に対して、すべての論理的組み合わせの入力信号を順次印加し、複数の出力端子に現れる出力信号の論理レベルの応答状態を試験する。ICの集積度が増大した大規模IC（Large Scale IC、以下「LSI」という）では、1つのLSIで実現できる機能が増大する。このようなLSIでは、単に入力端子に印加される入力信号の論理レベルだけでなく、入力信号の入力順序やタイミングまでを十分考慮して、実使用状態に則したダイナミック機能試験を行う必要がある。LSIでは、集積度が向上して外部の入出力端子に接続されない内部論理ゲートが増加するので、その入出力端子から直接測定の不可能なゲートが多くなり、たとえ内部に規格外の素子や動作の不安定な素子が含まれていても、検出できず、良品と判断されてしまうことがある。そこで、図2のようなLSIが提案されている。

【0003】図2は、従来のテスト機能を有するLSIの構成図である。このLSIは、複数の入力端子 $1_1, 1_2, 1_3, \dots$ を有し、これらの入力端子 $1_1, \dots$ は、論理回路2の入力側にそれぞれ接続されている。論理回路2の出力側は、それぞれ出力端子 $3_1, 3_2, 3_3, \dots$ に接続されている。また、論理回路2の図示しない内部ゲートの出力側が、セレクト $4_1, 4_2$ におけるそれぞれの複数の入力端子DIに接続されている。セレクト $4_1, 4_2$ は、選択端子SELに与えられる選択信号に従って、複数の入力端子DIの内の1つを選択して出力端子DOに出力するものである。これらのセレクト $4_1, 4_2$ の選択端子SELは、LSIの制御端子 $5_1, 5_2$ に接続されている。また、セレクト $4_1, 4_2$ の出力端子DOは、それぞれLSIのテスト端子 $6_1, 6_2$ に接続されている。このようなLSIでは、制御端子 $5_1, 5_2$ に選択信号を与えることにより、入出力端子に直接接続されない内部論理ゲートの信号を、テスト端子 $6_1, 6_2$ から外部に出力し、これらの内部論理ゲートの状態を試験できるようになっている。

【0004】

【発明が解決しようとする課題】しかしながら、従来のLSIでは、次のような課題があった。LSIの論理回路2の内部論理ゲートの出力信号を検証するために、制

御端子 $5_1$ ,  $5_2$ と、テスト端子 $6_1$ ,  $6_2$ とを使用している。しかし、LSIの機能が增加すると、それに伴い検証すべき内部論理ゲートの数が増加し、必要な制御端子とテスト端子の数も増加する。一方、LSIの機能の増加により、本来の入出力信号も増加する傾向があり、機能試験のための端子を確保することが困難になる。この結果、LSIの機能検証に必要十分な端子を確保できないという課題があった。本発明は、前記従来技術が持っていた課題を解決し、機能検証のための端子をより多く確保することのできるLSI等のICを提供するものである。

#### 【0005】

【課題を解決するための手段】前記課題を解決するため、本発明の内の第1の発明は、LSI等のICにおいて、複数ビットのデータ信号が入力される複数の入力端子と、複数ビットのデータ信号を出力するM個の出力端子と、制御信号が入力される制御端子と、通常動作モードと複数の動作検証モードとの内のいずれか1つのモードを選択するための複数ビットのモード選択信号が直列に入力されるモード端子と、前記入力端子から入力されるデータ信号の論理処理を行う複数の論理ゲートを有し、処理結果の複数ビットの出力データ信号を出力するとともに、該論理ゲートにおける動作検証用の複数の検証信号を出力する論理回路と、前記制御端子から入力される制御信号に従って前記モード端子から入力されるモード選択信号を並列信号に変換し、モード制御信号として出力する直並列変換手段と、N個（但し、 $N \leq M$ ）の選択手段とを、半導体基板上に設けている。

【0006】前記選択手段は、前記論理回路の出力データ信号中の特定の出力データ信号と、前記動作検証モードに対応した前記検証信号とが与えられ、前記モード制御信号に基づいて、前記通常動作モード時には該特定の出力データ信号を選択して前記出力端子に出力し、前記複数の動作検証モード時には該動作検証モードに応じた出力データ信号または検証信号を選択して該出力端子に出力するものである。第2の発明は、LSI等のICにおいて、複数ビットのデータ信号が入力される複数の入力端子と、複数ビットのデータ信号を出力するM個の出力端子と、特定のビットパターンを有するヘッダ部、及び通常動作モードと複数の動作検証モードとの内のいずれか1つのモードを選択するための複数ビットのモード選択部で構成されるモード選択信号が順次直列に入力されるモード端子と、前記入力端子から入力されるデータ信号の論理処理を行う複数の論理ゲートを有し、処理結果の複数ビットの出力データ信号を前記出力端子に出力するとともに、該論理ゲートにおける動作検証用の複数の検証信号を出力する論理回路と、直並列変換手段と、N個（但し、 $N \leq M$ ）の選択手段とを、半導体基板上に設けている。

【0007】前記直並列変換手段は、前記モード端子か

ら入力されるモード選択信号のヘッダ部を検出して検出信号を出力するヘッダ検出部、該検出信号に基づいてラッチ信号を生成するラッチ信号生成部、及び該ラッチ信号に基づいて該モード選択信号のモード選択部を保持してモード制御信号として出力するデータ保持部を有している。更に、前記選択手段は、前記論理回路の出力データ信号中の特定の出力データ信号と、前記動作検証モードに対応した前記検証信号とがそれぞれ与えられ、前記モード制御信号に基づいて、前記通常動作モード時には該特定の出力データ信号を選択して前記出力端子に出力し、前記複数の動作検証モード時には該動作検証モードに応じた出力データ信号または検証信号を選択して該出力端子に出力するものである。第1の発明によれば、以上のようにICを構成したので、次のような作用が行われる。

【0008】ICの制御端子から制御信号が入力されると、モード端子に与えられるモード選択信号は、直並列変換手段によって並列信号に変換され、N個の選択手段に対してモード制御信号として与えられる。一方、ICの複数の入力端子に入力されたデータ信号は、複数の論理ゲートで構成された論理回路によって論理処理され、その処理結果のM個の出力データ信号が出力されるとともに、論理ゲートの動作検証用の複数の検証信号が出力される。出力データ信号の内のN個の出力データ信号と複数の検証信号は、前記N個の選択手段の入力側に与えられる。そして、N個の選択手段において、前記モード制御信号によってそれぞれ検証モードに対応した出力データ信号及び検証信号が選択され、出力端子に出力される。第2の発明によれば、ICのモード端子にモード選択信号が入力されると、直並列変換手段のヘッダ検出部によって、モード選択信号中のヘッダ部の検出が行われる。ヘッダ部が検出されると、直並列変換手段のデータ保持部によって、このヘッダ部に続くモード選択信号中のモード選択部がモード選択信号として保持される。このモード選択信号は、N個の選択手段に対するモード制御信号として与えられる。なお、ICにおける論理回路及びN個の選択手段の作用は、第1の発明と同様である。

#### 【0009】

##### 【発明の実施の形態】

##### 第1の実施形態

図1は、本発明の第1の実施形態を示すLSIの構成図である。このLSIは、複数の入力信号 $IN_1$ ,  $IN_2$ , ...,  $IN_m$ がそれぞれ入力される複数の入力端子 $1_{11}$ ,  $1_{12}$ , ...,  $1_{1m}$ 、クロック信号CLKが入力されるクロック端子 $1_{21}$ 、モード選択信号MDが入力されるモード端子 $1_{22}$ 、及び入力制御信号（例えば、イネーブル信号）ENが入力される制御端子 $1_{23}$ を有している。入力端子 $1_{11}$ , ..., 及びクロック端子 $1_{21}$ は、論理回路13の入力側にそれぞれ接続されてい

る。論理回路13は、図示しない複数の論理ゲートで構成され、入力端子11<sub>1</sub>, …に入力される入力信号IN<sub>1</sub>, …、及びクロック端子12<sub>1</sub>に入力されるクロック信号CLKに基づいて特定の機能の論理処理を行い、その処理結果を出力信号O<sub>1</sub>, O<sub>2</sub>, …, O<sub>n</sub>として出力するものである。また、この論理回路13は、出力信号O<sub>1</sub>, …以外の特定の論理ゲートの出力信号を機能検証信号S<sub>1</sub>, S<sub>2</sub>, …, S<sub>18</sub>として出力する機能を有している。

【0010】クロック端子12<sub>1</sub>、モード端子12<sub>2</sub>及び制御端子12<sub>3</sub>は、直並列変換手段（例えば、シフトレジスタ）14に接続されている。シフトレジスタ14は、イネーブル端子E、クロック端子C、入力端子D、及び複数の出力端子Q<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub>を有している。このシフトレジスタ14は、イネーブル端子Eが、イネーブル信号ENで活性化されている間、クロック端子Cに印加されるクロック信号CLKの立上りのタイミングに同期して、入力端子Dに与えられるモード選択信号MDを保持してシフトする回路である。シフトレジスタ14の出力端子Q<sub>1</sub>, Q<sub>2</sub>, Q<sub>3</sub>には、3ビット（例えば、ビットA, B, C）の並列信号に変換されたモード選択信号MDが出力される。シフトレジスタ14の出力側は、複数の選択手段（例えば、セクタ）15<sub>1</sub>, 15<sub>2</sub>, 15<sub>3</sub>の選択端子Sに、共通接続されている。セクタ15<sub>1</sub>~15<sub>3</sub>は、それぞれ8個の入力端子を有し、3ビットのモード選択信号MDで選択される入力端子に与えられる信号を選択して出力側に出力するものである。セクタ15<sub>1</sub>の1番目から8番目までの8個の入力端子には、例えば、論理回路13の出力信号O<sub>1</sub>、機能検証信号S<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, S<sub>4</sub>, S<sub>5</sub>, S<sub>6</sub>, S<sub>7</sub>が、この順番に接続されている。また、同様にセクタ15<sub>2</sub>の8個の入力端子には、論理回路13の出力信号O<sub>2</sub>, O<sub>2</sub>、機能検証信号S<sub>8</sub>, S<sub>9</sub>, S<sub>10</sub>, S<sub>11</sub>, S<sub>12</sub>, S<sub>13</sub>が、この順番に接続されている。更に、セクタ15<sub>3</sub>の8個の入力端子には、論理回路13の出力信号O<sub>3</sub>, O<sub>3</sub>, O<sub>3</sub>、機能検証信号S<sub>14</sub>, S<sub>15</sub>, S<sub>16</sub>, S<sub>17</sub>, S<sub>18</sub>が、この順番に接続されている。

【0011】セクタ15<sub>1</sub>, 15<sub>2</sub>, 15<sub>3</sub>の出力側は、LSIの出力端子16<sub>1</sub>, 16<sub>2</sub>, 16<sub>3</sub>にそれぞれ接続されている。また、論理回路13の出力信号O<sub>4</sub>, …, O<sub>n</sub>は、LSIの出力端子16<sub>4</sub>, …, 16<sub>n</sub>に、それぞれ接続されている。図3は図1のシフトレジスタ14の動作を示すタイムチャートであり、図4は図1のセクタ15<sub>1</sub>~15<sub>3</sub>へ入力されるモード選択信号MDと出力信号OUT<sub>1</sub>~OUT<sub>3</sub>との関係を示す図である。以下、これらの図3、図4を参照しつつ、図1のLSIの機能検証試験時に、モード選択信号MDとして“101”を与えた場合の、動作を説明する。図3の時刻t<sub>1</sub>において、イネーブル信号ENが活性化状態

を示す論理“1”になると、図1のシフトレジスタ14は、動作可能状態になる。そして、時刻t<sub>2</sub>におけるクロック信号CLKの立上りのタイミングで、モード選択信号MDの“1”の信号が保持され、出力端子Q<sub>1</sub>にモード選択信号MDのビットAとして“1”が出力される。

【0012】時刻t<sub>3</sub>において、モード選択信号MDが論理“0”に変更された後、時刻t<sub>4</sub>におけるクロック信号CLKの立上りのタイミングで、出力端子Q<sub>2</sub>には、それまで出力端子Q<sub>1</sub>に出力されていた“1”の信号がシフトされ、出力端子Q<sub>1</sub>にはモード選択信号MDの“0”の信号が保持されて出力される。同様に時刻t<sub>5</sub>において、モード選択信号MDが“1”に変更された後、時刻t<sub>6</sub>におけるクロック信号CLKの立上りのタイミングで、出力端子Q<sub>3</sub>, Q<sub>2</sub>には、それまで出力端子Q<sub>2</sub>, Q<sub>1</sub>に出力されていた“1”、“0”の信号がそれぞれシフトされ、出力端子Q<sub>1</sub>にはモード選択信号MDの“1”の信号が保持されて出力される。この後、時刻t<sub>7</sub>において、イネーブル信号ENが不活性化状態を示す“0”になると、図1のシフトレジスタ14は、動作停止状態になる。この結果、シフトレジスタ14の出力ビットA, B, Cは、それぞれ“1”、“0”、“1”となって確定する。この時点で、LSIの出力端子16<sub>1</sub>, 16<sub>2</sub>, 16<sub>3</sub>の出力信号OUT<sub>1</sub>, OUT<sub>2</sub>, OUT<sub>3</sub>には、図4に示すように、セクタ15<sub>1</sub>, 15<sub>2</sub>, 15<sub>3</sub>で選択された機能検証信号S<sub>5</sub>, S<sub>11</sub>, S<sub>16</sub>が、それぞれ出力される。

【0013】以上、モード選択信号MDとして“101”を与えた場合の、出力信号OUT<sub>1</sub>, OUT<sub>2</sub>, OUT<sub>3</sub>について説明したが、図4に示すように、モード選択信号MDを変えることにより、その他の機能検証信号S<sub>1</sub>, …及び出力信号O<sub>1</sub>, O<sub>2</sub>, O<sub>3</sub>を選択して出力することができる。例えば、モード選択信号MDを“000”とすると、出力信号O<sub>1</sub>, O<sub>2</sub>, O<sub>3</sub>が選択され、通常の動作モードとなる。また、例えば、モード選択信号MDを“100”とすると、出力信号O<sub>1</sub>の代わりに機能検証信号S<sub>1</sub>が選択され、その他の出力信号O<sub>2</sub>~O<sub>n</sub>は、通常の動作モードと同様に出力される。この様に、本実施形態のLSIは、次の(1)~(3)のような利点がある。(1) シフトレジスタ14を有するので、モード選択信号MDを直列信号で入力することが可能になり、選択モードの種類が増えても、制御信号を入力するための端子を増やす必要がない。

(2) 機能検証時にテスト信号を出力する端子を通常の動作モード時の出力端子16<sub>1</sub>~16<sub>3</sub>と共用しているので、テスト信号出力用の専用端子を設ける必要がなく、端子ネックになるおそれが少ない。

(3) 複数の入力端子を有するセクタ15<sub>1</sub>~15<sub>3</sub>を有するため、複数の機能検証モードを設定することができる。これにより、機能検証に最適な機能検証信号



S1, ...を選択する機能検証モードを予め組み込んでおくことにより、効率良く機能検証を行うことができる。

#### 【0014】第2の実施形態

図5は、本発明の第2の実施形態を示すもので、LSIにおける直並列変換手段の構成図であり、図1中の要素と共通の要素には共通の符号が付されている。図5の直並列変換手段は、図1のシフトレジスタ14に代わるもので、クロック信号CLK及び図1とは異なる構成のモード選択信号MDAが与えられる8段のシフトレジスタ21と、3段のシフトレジスタ22を有している。これらのシフトレジスタ21, 22は、クロック信号CLKの立上りのタイミングに同期して、モード選択信号MDAを保持してシフトする回路である。これらのシフトレジスタ21, 22の各段に保持されたデータは、並列信号として出力される。シフトレジスタ21の出力側には、ヘッダ検出部23が接続されている。ヘッダ検出部23は、シフトレジスタ21から出力される8ビットのデータが、特定のビットパターンであるか否かをチェックし、その特定のビットパターンになったときに検出信号DSを出力する回路である。ヘッダ検出部23の出力側には、ラッチパルス生成部24が接続されている。ラッチパルス生成部24は、検出信号DSとクロック信号CLKとを入力し、検出信号DSが与えられた後、3個目のクロック信号CLKの立上りのタイミングでラッチパルスLPを出力する回路である。

【0015】シフトレジスタ22の出力側と、ラッチパルス生成部24の出力側は、データ保持部25に接続されている。データ保持部25は、ラッチパルス生成部24から与えられるラッチパルスLPのタイミングで、シフトレジスタ22の3ビットの並列出力データを変換され、ビットA, B, Cの3ビットの並列信号に変換されたモード選択信号MDを出力するものである。図6は、図5の直並列変換手段の動作を示すタイムチャートである。図6に示すように、モード選択信号MDAは、例えば、8ビットの特定パターン（例えば、“10100101”）のヘッダ部HDRと、このヘッダ部HDRに続く3ビットのモード選択部MODのデータで構成される直列信号である。モード選択信号MDAは、クロック信号CLKの立下りのタイミングに同期して、順次データビットを変化させて直列信号としてシフトレジスタ21, 22に与えられる。このモード選択信号MDAは、クロック信号CLKの立上りのタイミングに同期して、シフトレジスタ21, 22に保持されてシフトされる。図6の時刻t11において、シフトレジスタ21の出力信号がヘッダ部HDRの特定パターンになると、ヘッダ検出部23からラッチパルス生成部24に対して検出信号DSが出力される。

【0016】ラッチパルス生成部24は、検出信号DSが与えられると、クロック信号CLKのカウントを開始し、時刻t12における3番目のクロック信号の立上り

りに同期してラッチパルスLPをデータ保持部25に出力する。この時刻t12には、シフトレジスタ22の出力側に、モード選択信号MDAのモード選択部MODの3ビットのデータが出力されている。これにより、データ保持部25にモード選択部MODのデータ“101”が保持され、ビットA, B, Cの3ビットの並列信号に変換されてモード選択信号MDとして出力される。このモード選択信号MDに基づくセクタ等の動作は、図1のLSIと同様である。以上のように、この第2の実施形態では、ヘッダ検出部23を有しているため、モード選択信号MDAのヘッダ部HDRを検出して、モード選択部MODのデータを入力することができる。これにより、図1におけるイネーブル信号ENのための制御端子12<sub>3</sub>が不要になるという利点がある。なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)～(d)のようなものがある。

【0017】(a) モード選択信号MDは、3ビット構成となっているが、3ビットに限定することなく、更に多数のビット構成にすることができる。多数のビット構成により、各種の機能検証モードを設定することが可能になり、効率良く機能検証試験を行うことができる。

(b) セクタ15<sub>1</sub>～15<sub>3</sub>は、8入力のセクタを使用しているが、モード選択信号MDのビット数がkビットであれば、2<sup>k</sup>入力のセクタを使用する必要がある。

(c) セクタ15<sub>1</sub>, ...を、3個用いた構成になっているが、更に多数のセクタ15<sub>1</sub>, ...を用いた構成にすることができる。多数のセクタを使用することにより、多数の機能検証信号を同時に試験することが可能になり、更に効率良く機能検証試験を行うことができる。

(d) 図5、図6のヘッダ部HDRは、8ビットの構成となっているが、8ビットに限定する必要はない。モード選択部MODのデータと混同する恐れのないビット構成であれば、どのような構成であっても同様に適用することができる。

#### 【0018】

【発明の効果】以上詳細に説明したように、第1の発明によれば、論理回路の出力データ信号中の特定の出力データ信号と、動作検証信号とが与えられ、モード制御信号によって、出力データ信号または動作検証信号を選択して出力端子に出力する選択手段を設けたので、通常動作時の出力端子と動作検証モード時の検証信号出力端子を共用することが可能になり、端子ネックとなることが無い。更に、制御端子とモード端子を使用して、モード選択信号を直列データとして入力するので、モード選択信号のビット数に関係なくモード制御用の端子数を2個で賄うことができる。第2の発明によれば、直並列変換手段において、モード選択信号中のヘッダ部を検出する

ヘッダ検出部と、ヘッダ部に続くモード選択部を保持するデータ保持部とを設けたので、モード端子1個だけでモード制御信号を入力することができる。これにより、更に端子の有効利用が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すLSIの構成図である。

【図2】従来のテスト機能を有するLSIの構成図である。

【図3】図1のシフトレジスタの動作を示すタイムチャートである。

【図4】図1のモード選択信号と出力信号の関係を示す図である。

【図5】本発明の第2の実施形態を示すLSIの直並列変換手段の構成図である。

【図6】図5の直並列変換手段の動作を示すタイムチャートである。

【符号の説明】

1 1<sub>1</sub>, ..., 1 1<sub>n</sub>

1 2<sub>1</sub>

1 2<sub>2</sub>

1 2<sub>3</sub>

1 3

1 4, 2 1, 2 2

1 5<sub>1</sub>, 1 5<sub>2</sub>, 1 5<sub>3</sub>

1 6<sub>1</sub>, ..., 1 6<sub>n</sub>

2 3

2 4

部

2 5

EN

HDR

MOD

MD, MDA

S 1 ~ S 1 8

入力端子

クロック端子

モード端子

制御端子

論理回路

シフトレジスタ

セクタ

出力端子

ヘッダ検出部

ラッチパルス生成

データ保持部

イネーブル信号

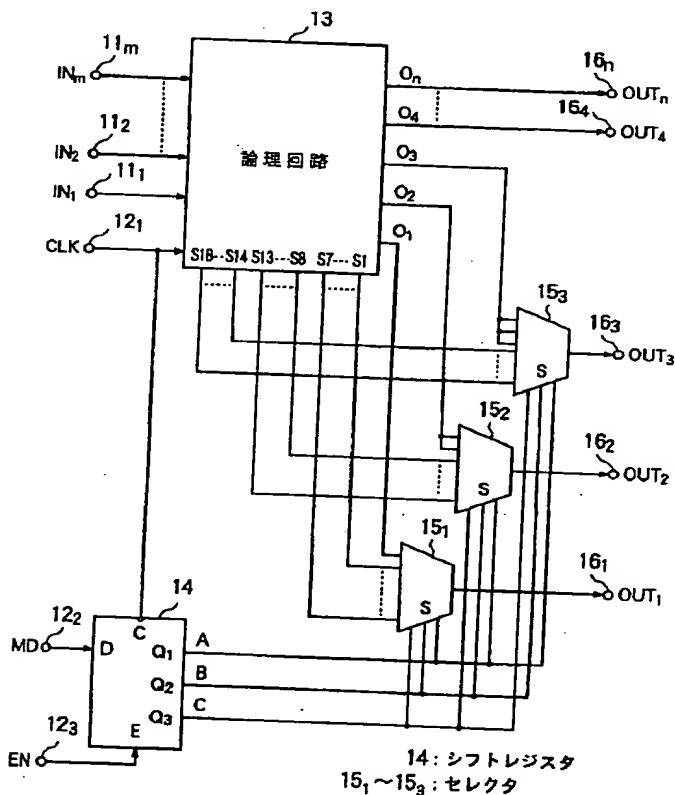
ヘッダ部

モード選択部

モード選択信号

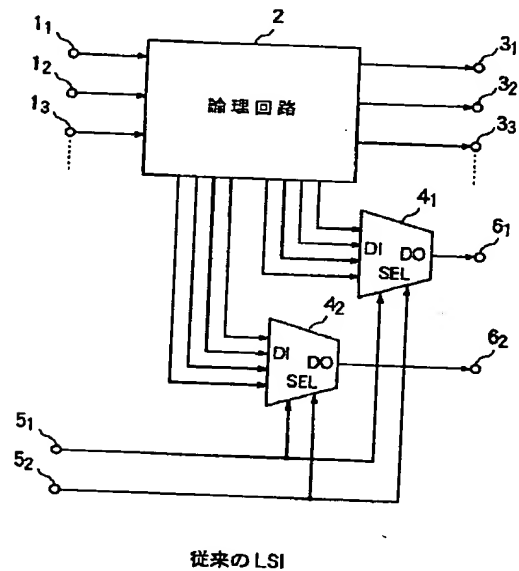
機能検証信号

【図1】



本発明の実施形態のLSI

【図2】



(7)

【図3】

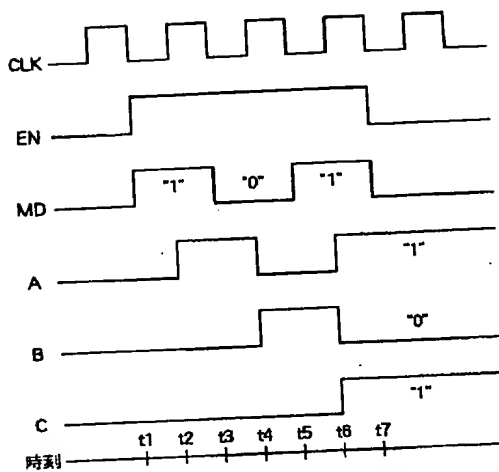


図1のシフトレジスタの動作

【図4】

モード選択信号 MD			出力信号		
A	B	C	OUT1	OUT2	OUT3
0	0	0	01	02	03
1	0	0	S1	02	03
0	1	0	S2	S8	03
1	1	0	S3	S9	S14
0	0	1	S4	S10	S15
1	0	1	S5	S11	S16
0	1	1	S6	S12	S17
1	1	1	S7	S13	S18

図1のモード選択信号と出力信号の関係

【図6】

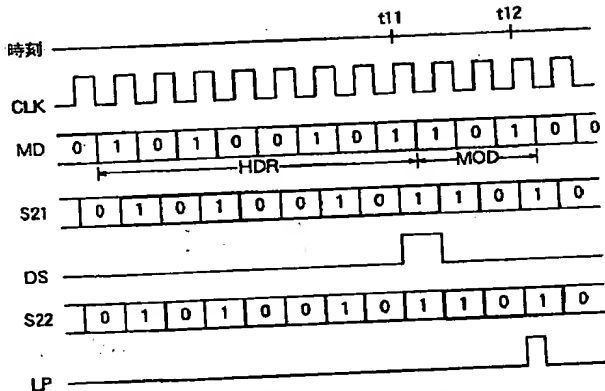
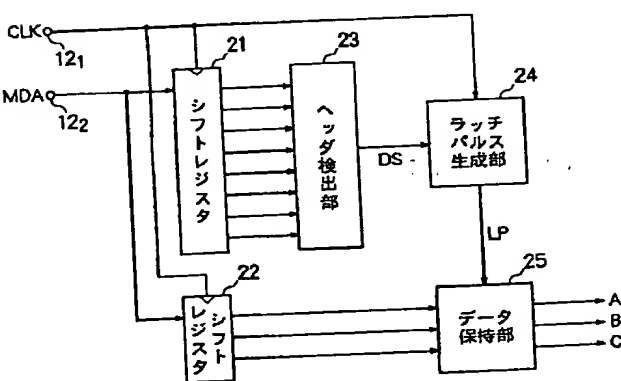


図5の直並列変換手段の動作

【図5】



本発明の第2の実施形態の直並列変換手段

**THIS PAGE BLANK (USPTO)**